



(12) 发明专利申请

(10) 申请公布号 CN 111859828 A

(43) 申请公布日 2020. 10. 30

(21) 申请号 202010730838.1

G06F 30/3315 (2020.01)

(22) 申请日 2020.07.27

G06F 119/06 (2020.01)

(71) 申请人 南方电网数字电网研究院有限公司

地址 511458 广东省广州市南沙区丰泽东路106号城投大厦1301房(自编1301-12159)

申请人 南方电网科学研究院有限责任公司
浙江大学

(72) 发明人 姚浩 习伟 于杨 匡晓云

杨祎巍 黄凯 李昱霆

(74) 专利代理机构 广州华进联合专利商标代理有限公司 44224

代理人 左帮胜

(51) Int. Cl.

G06F 30/32 (2020.01)

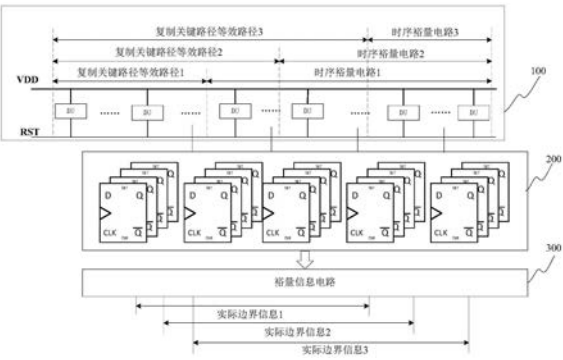
权利要求书2页 说明书8页 附图3页

(54) 发明名称

复制关键路径电路和芯片

(57) 摘要

本发明涉及一种复制关键路径电路和芯片。所述复制关键路径电路包括延迟链电路、采样电路和裕量信息电路。其中延迟链电路用于动态地对实际关键路径进行划分,将所述实际关键路径划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号;采样电路与所述延迟链电路电连接,用于对所述延迟链电路的所述输出信号进行采样,并生成包含所述延迟链电路的输出信号的采样信息;以及裕量信息电路与所述采样电路电连接,用于接收所述采样信息,并根据对应于同一所述延迟链电路的多个输出信号,确定所述实际关键路径在所述延迟链电路中的实际边界信息。



1. 一种复制关键路径电路,其特征在于,包括:

延迟链电路,用于动态地对实际关键路径进行划分,将所述实际关键路径划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号;

采样电路,与所述延迟链电路电连接,用于对所述延迟链电路的所述输出信号进行采样,并生成包含所述延迟链电路的输出信号的采样信息;以及

裕量信息电路,与所述采样电路电连接,用于接收所述采样信息,并根据对应于同一所述延迟链电路的多个输出信号,确定所述实际关键路径在所述延迟链电路中的实际边界信息。

2. 如权利要求1所述的复制关键路径电路,其特征在于,所述延迟链电路包括多个数据寄存单元,所述数据寄存单元的数量由所述实际关键路径对应的时序裕量电路的占比决定。

3. 如权利要求2所述的复制关键路径电路,其特征在于,所述数据寄存单元包括:

第一控制模块,用于响应复位信号,在采样阶段将高电平电压信号提供给第一节点,以及在复位阶段将所述低电平电压信号提供给所述第一节点;

第二控制模块,用于响应所述第一节点的电压信号和所述输入信号,在复位阶段将所述高电平电压信号提供给第二节点;

输出模块,用于响应所述复位信号和所述第二节点的电压信号,在采样阶段将所述高电平电压信号提供给所述输出端;以及

下拉模块,用于响应所述第二节点的电压信号,在复位阶段将所述低电平电压信号提供给所述输出端。

4. 如权利要求3所述的复制关键路径电路,其特征在于,所述第二控制模块包括:

第一子控制模块,用于响应所述第一节点的电压信号,在复位阶段将所述高电平电压信号提供给第二节点;

第二子控制模块,用于响应所述输入信号,在复位阶段将所述高电平电压信号提供给所述第二节点;和

第三子控制模块,用于响应所述输入信号和所述第一节点的电压信号,在采样阶段将所述低电平电压信号提供给所述第二节点。

5. 如权利要求3所述的复制关键路径电路,其特征在于,所述第一控制模块包括第一、第二、第三和第四开关管;

所述第一开关管和所述第二开关管串联在所述输入端与所述第一节点之间,所述第三开关管和所述第四开关管依次串联在所述第二节点与所述低电平电压信号之间,且所述第一开关管、所述第二开关管、所述第三开关管和所述第四开关管的栅极均与所述复位信号电连接。

6. 如权利要求4所述的复制关键路径电路,其特征在于,所述第一子控制模块包括第五开关管和第六开关管;

所述第五开关管和所述第六开关管依次串联在所述输入端与所述第一节点之间,且所述第五开关管和所述第六开关管的栅极均与所述第一节点电连接。

7. 如权利要求4所述的复制关键路径电路,其特征在于,所述第二子控制模块包括第七

开关管和第八开关管；

所述第七开关管和所述第八开关管依次串联在所述输入端与所述第二节点之间，且所述第七开关管和所述第八开关管的栅极均与所述输入端电连接。

8. 如权利要求5所述的复制关键路径电路，其特征在于，所述第三子控制模块包括第九开关管和第十开关管；

所述第九开关管和所述第十开关管依次串联在所述第二节点与所述低电平电压信号之间，且所述第九开关管栅极与所述输入端电连接，所述第十开关管的栅极与所述第一节点电连接。

9. 如权利要求3所述的复制关键路径电路，其特征在于，所述输出模块第十一开关管和第十二开关管；

所述第十一开关管和所述第十二开关管依次串联在所述输入端与所述输出端之间，且所述第十一开关管的栅极与所述复位信号电连接，所述第十二开关管的栅极与所述第二节点电连接。

10. 如权利要求3所述的复制关键路径电路，其特征在于，所述下拉模块包括第十三开关管和第十四开关管；

所述第十三开关管和所述第十四开关管依次串联在所述输出端与所述低电平电压信号之间，且所述第十三开关管和所述第十四开关管的栅极均与所述第二节点电连接。

11. 如权利要求2所述的复制关键路径电路，其特征在于，所述采样电路包括：

信号获取单元，所述信号获取单元包括多个寄存器，所述寄存器与所述数据寄存单元电连接，且每一个所述寄存器用于获取一路所述延迟链电路的输出信号；

关键路径选择单元，所述关键路径选择单元包括多个多路选择器，所述多路选择器与所述寄存器一一对应，用于接收所述输出信号；以及

同步单元，所述同步单元包括多个级联模块，所述级联模块与所述多路选择器一一对应电连接，每一所述级联模块包括至少两个级联的触发器，且所有所述触发器的触控端电连接同一时钟信号，用于接收所述输出信号，并对多个所述输出信号进行同步处理，得到所述采集信息。

12. 如权利要求3所述的复制关键路径电路，其特征在于，所述实际关键路径在所述延迟链电路中的实际边界信息，是根据所述延迟链电路对应的多个所述输出信号的平均值确定的。

13. 一种芯片，其特征在于，包括如权利要求1~12任一项所述的复制关键路径电路。

复制关键路径电路和芯片

技术领域

[0001] 本发明涉及半导体集成电路技术领域,特别是涉及一种复制关键路径电路和低功耗芯片。

背景技术

[0002] 随着集成电路设计水平不断地提高,对于整个集成系统,以中央处理器(CPU)、图像处理器(GPU)等为主的微处理器在逻辑门数和工作频率不断增加,其中工作频率甚至已经达到了千兆赫兹(GHz)的范围;而基于这些原因,微处理器芯片的功耗不仅没有越来越小,反而在快速的增加。为了解决功耗相关的问题,目前主要通过采用更加先进完善的技术方案来对芯片功耗进行优化。

[0003] 同时,在贯穿多个层次的低功耗芯片设计中,对于当前自顶向下的电路设计方法,系统级方法在包括行为级、寄存器级、电路级、晶体管级和版图级设计方法中对功耗优化的倍数是最高,因此高层次设计对功耗的优化具有决定性的影响。其中主要的优化技术包括了动态电压频率调节(Dynamic Voltage and Frequency Scaling, DVFS)技术和自适应电压调节(Adaptive Voltage Scaling, AVS)技术等,其中在自适应电压调节技术中常用的方式包含采用复制关键路径的方式进行自适应电压调整等方案,而在其中需要定制大量的不同的复制关键路径,这在电路实现上对实际芯片的面积与功耗以及设计人员的工作量都是一个巨大的挑战。

发明内容

[0004] 基于此,本发明提供了一种复制关键路径电路和低功耗芯片,以减小芯片面积和功耗,同时减小设计工作量。

[0005] 本发明提供了一种复制关键路径电路,包括:

[0006] 延迟链电路,用于动态地对实际关键路径进行划分,将所述实际关键路径划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号;

[0007] 采样电路,与所述延迟链电路电连接,用于对所述延迟链电路的所述输出信号进行采样,并生成包含所述延迟链电路的输出信号的采样信息;以及

[0008] 裕量信息电路,与所述采样电路电连接,用于接收所述采样信息,并根据对应于同一所述延迟链电路的多个输出信号,确定所述实际关键路径在所述延迟链电路中的实际边界信息。

[0009] 在其中一个实施例中,所述延迟链电路包括多个数据寄存单元,所述数据寄存单元的数量由所述实际关键路径对应的时序裕量电路的占比决定。

[0010] 在其中一个实施例中,所述数据寄存单元包括:

[0011] 第一控制模块,用于响应复位信号,在采样阶段将高电平电压信号供给所述第一节点,以及在复位阶段将所述低电平电压信号提供给所述第一节点;

[0012] 第二控制模块,用于响应所述第一节点的电压信号和所述输入信号,在复位阶段将所述高电平电压信号提供给第二节点;

[0013] 输出模块,用于响应所述复位信号和所述第二节点的电压信号,在采样阶段将所述高电平电压信号提供给所述输出端;以及

[0014] 下拉模块,用于响应所述第二节点的电压信号,在复位阶段将所述低电平电压信号提供给所述输出端。

[0015] 在其中一个实施例中,所述第二控制模块包括:

[0016] 第一子控制模块,用于响应所述第一节点的电压信号,在复位阶段将所述高电平电压信号提供给第二节点;

[0017] 第二子控制模块,用于响应所述输入信号,在复位阶段将所述高电平电压信号提供给所述第二节点;和

[0018] 第三子控制模块,用于响应所述输入信号和所述第一节点的电压信号,在采样阶段将所述低电平电压信号提供给所述第二节点。

[0019] 在其中一个实施例中,所述第一控制模块包括第一、第二、第三和第四开关管;

[0020] 所述第一开关管和所述第二开关管串联在所述输入端与所述第一节点之间,所述第三开关管和所述第四开关管依次串联在所述第二节点与所述低电平电压信号之间,且所述第一开关管、所述第二开关管、所述第三开关管和所述第四开关管的栅极均与所述复位信号电连接。

[0021] 在其中一个实施例中,所述第一子控制模块包括第五开关管和第六开关管;

[0022] 所述第五开关管和所述第六开关管依次串联在所述输入端与所述第一节点之间,且所述第五开关管和所述第六开关管的栅极均与所述第一节点电连接。

[0023] 在其中一个实施例中,第二子控制模块包括第七开关管和第八开关管;

[0024] 所述第七开关管和所述第八开关管依次串联在所述输入端与所述第二节点之间,且所述第七开关管和所述第八开关管的栅极均与所述输入端电连接。

[0025] 在其中一个实施例中,所述第三子控制模块包括第九开关管和第十开关管;

[0026] 所述第九开关管和所述第十开关管依次串联在所述第二节点与所述低电平电压信号之间,且所述第九开关管栅极与所述输入端电连接,所述第十开关管的栅极与所述第一节点电连接。

[0027] 在其中一个实施例中,所述输出模块第十一开关管和第十二开关管;

[0028] 所述第十一开关管和所述第十二开关管依次串联在所述输入端与所述输出端之间,且所述第十一开关管的栅极与所述复位信号电连接,所述第十二开关管的栅极与所述第二节点电连接。

[0029] 在其中一个实施例中,所述下拉模块包括第十三开关管和第十四开关管;

[0030] 所述第十三开关管和所述第十四开关管依次串联在所述输出端与所述低电平电压信号之间,且所述第十三开关管和所述第十四开关管的栅极均与所述第二节点电连接。

[0031] 在其中一个实施例中,所述采样电路包括;

[0032] 信号获取单元,所述信号获取单元包括多个寄存器,所述寄存器与所述数据寄存单元电连接,且每一个所述寄存器用于获取一路所述延迟链电路的输出信号;

[0033] 关键路径选择单元,所述关键路径选择单元包括多个多路选择器,所述多路选择

器与所述寄存器一一对应,用于接收所述输出信号;以及

[0034] 同步单元,所述同步单元包括多个级联模块,所述级联模块与所述多路选择器一一对应电连接,每一所述级联模块包括至少两个级联的触发器,且所有所述触发器的触控端电连接同一时钟信号,用于对多个边界电压信息进行同步处理。

[0035] 在其中一个实施例中,所述实际关键路径在所述延迟链电路中的实际边界信息,是根据所述延迟链电路对应的多个所述输出信号的平均值确定的。

[0036] 基于同一发明构思,本发明实施例还提供了一种芯片,所述芯片包括上述任一实施例所述的复制关键路径电路。

[0037] 综上,本发明实施例提供了一种复制关键路径电路和芯片。所述复制关键路径电路包括延迟链电路、采样电路和裕量信息电路。其中延迟链电路用于动态地对实际关键路径进行划分,将所述实际关键路径划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号;采样电路与所述延迟链电路电连接,用于对所述延迟链电路的所述输出信号进行采样,并生成包含所述延迟链电路的输出信号的采样信息;以及裕量信息电路与所述采样电路电连接,用于接收所述采样信息,并根据对应于同一所述延迟链电路的多个输出信号,确定所述实际关键路径在所述延迟链电路中的实际边界信息。本发明中,首先通过延迟链电路动态地对实际关键路径动态地划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号,然后通过采样电路对所述延迟链电路的所述输出信号进行采样,并生成包含所述延迟链电路的输出信号的采样信息,并利用裕量信息电路根据对应于同一所述延迟链电路的多个输出信号,确定所述实际关键路径在所述延迟链电路中的实际边界信息,从而将延迟链电路分为复制关键路径等效电路和时间裕量电路两部分,从而解决了因需要定制大量的不同的复制关键路径所导致的芯片尺寸大、功耗高以及设计复杂等问题。

附图说明

[0038] 图1为本发明实施例提供的一种复制关键路径电路的电路结构示意图;

[0039] 图2为本发明实施例提供的一种数据寄存单元的电路结构示意图;

[0040] 图3为本发明提供的一种采样电路的电路结构示意图。

具体实施方式

[0041] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似改进,因此本发明不受下面公开的具体实施的限制。

[0042] 请参见图1,本发明实施例提供了一种复制关键路径电路,包括延迟链电路100、采样电路200和裕量信息电路300。

[0043] 所述延迟链电路100用于动态地对实际关键路径进行划分,将所述实际关键路径划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号。

[0044] 所述采样电路200与所述延迟链电路100电连接,用于对所述延迟链电路100的所述输出信号进行采样,并生成包含所述延迟链电路100的输出信号的采样信息。

[0045] 所述裕量信息电路300与所述采样电路200电连接,用于接收所述采样信息,并根据对应于同一所述延迟链电路100的多个输出信号,确定所述实际关键路径在所述延迟链电路100中的实际边界信息。

[0046] 可以理解,整个延迟链电路100分为两部分,分别为复制关键路径等效电路和时序裕量电路两部分。一种情况是在针对某条固定的实际关键路径进行等效电路设计时,通过确定的复制关键路径等效电路(这些电路一般需要在设计阶段确定)以及确定好的裕量电路(具体裕量大小可在设计阶段直接确定)组合生成整条延迟链,而这个拼接的边界就是所述实际关键路径在所述延迟链电路100中的实际边界,因为实际边界固定,所以边界信息也固定。而另一种情况是在设计阶段针对不能够确定的实际关键路径,需要通过一条延迟链电路100来表示多种不同的复制关键路径等效电路和时序裕量电路的组合,例如延迟链电路根据不同的实际关键路径下将动态地划分成复制关键路径等效路径1和时序裕量电路1或复制关键路径等效路径2和时序裕量电路2或复制关键路径等效路径3和时序裕量电路3等。根据这个组合的范围区间来定义一条延迟链电路100,这个电路由复制关键路径等效电路和时序裕量电路两部分组成,由于关键路径等效电路的长度是不定的,因此时序裕量电路的长度也随之变化,不同实际关键路径对应的复制关键路径等效电路和时序裕量电路相对于整条延迟链的占比也会产生变化,同时两者之间的边界位置也会随着变化,这个边界位置就是他们的实际拼接的边界。

[0047] 本实施例中,首先通过延迟链电路100动态地对实际关键路径动态地划分为一个复制关键路径等效电路和一个时序裕量电路,并根据所述复制关键路径等效电路与所述时序裕量电路的占比和输入信号生成输出信号,然后通过采样电路200对所述延迟链电路100的所述输出信号进行采样,并生成包含所述延迟链电路100的输出信号的采样信息,并利用裕量信息电路300根据对应于同一所述延迟链电路100的多个输出信号,确定所述实际关键路径在所述延迟链电路100中的实际边界信息,从而将延迟链电路100分为复制关键路径等效电路和时间裕量电路两部分,从而解决了因需要定制大量的不同的复制关键路径所导致的芯片尺寸大、功耗高以及设计复杂等问题。

[0048] 此外,在利用延迟链电路100来表示多种不同的复制关键路径等效电路和时序裕量电路的组合时,确定边界后可以通过对所述延迟链电路100施加相应的激励信息,例如通过调整电压、频率等信息使延迟链电路100的输出结果处于临界状态,达到功耗、性能之间的平衡状态。

[0049] 可以理解,在延迟链电路100表示多种不同的复制关键路径等效电路和时序裕量电路时,其原理主要是根据时序裕量对输入信号进行延时处理。基于此,在其中一个实施例中,所述延迟链电路100包括多个数据寄存单元(即DU单元),通过所述数据寄存单元110根据时序裕量对输入信号进行延迟处理,并输出,使得不同关键实际路径对应的所述复制关键路径等效电路与所述时序裕量电路的占比也不相同。在功能上,所述数据寄存单元110具有采样功能和复位功能。

[0050] 其中,所述数据寄存单元110的数量由所述实际关键路径对应的时序裕量电路的占比决定。具体的,所述实际关键路径对应的时序裕量电路的占比越大,数据寄存单元110

的数量越少。

[0051] 在其中一个实施例中,所述数据寄存单元110包括:第一控制模块111、第二控制模块112、输出模块113和下拉模块114。

[0052] 所述第一控制模块111用于响应复位信号Rst,在采样阶段将高电平电压信号VDD提供给所述第一节点P1,以及在复位阶段将所述低电平电压信号VCC提供给所述第一节点P1。

[0053] 所述第二控制模块112用于响应所述第一节点P1的电压信号和所述输入信号,在复位阶段将所述高电平电压信号VDD提供给第二节点P2。

[0054] 所述输出模块用于响应所述复位信号Rst和所述第二节点P2的电压信号,在采样阶段将所述高电平电压信号VDD提供给输出端Output。

[0055] 所述下拉模块114用于响应所述第二节点P2的电压信号,在复位阶段将所述低电平电压信号VCC提供给所述输出端Output。

[0056] 在其中一个实施例中,所述第二控制模块112包括:

[0057] 第一子控制模块112a,用于响应所述第一节点P1的电压信号,在复位阶段将所述高电平电压信号VDD提供给第二节点P2;

[0058] 第二子控制模块112b,用于响应所述输入信号,在复位阶段将所述高电平电压信号VDD提供给所述第二节点P2;和

[0059] 第三子控制模块112c,用于响应所述输入信号和所述第一节点P1的电压信号,在采样阶段将所述低电平电压信号提供给所述第二节点P2。

[0060] 本实施例中,在采样阶段,输入信号由低电平转换为高电平,复位信号Rst由高电平转换为低电平,此时,所述第一控制模块111用于响应复位信号Rst,在采样阶段将所述高电平电压信号VDD提供给所述第一节点P1,第一节点P1的电压信号为高电平;第三子控制模块112c同时响应于所述输入信号和所述第一节点P1的电压信号,将所述低电平电压信号提供给所述第二节点P2,此时第二节点P2的电压信号为低电平;输出模块响应于所述复位信号Rst和所述第二节点P2的电压信号,将所述高电平电压信号VDD提供给输出端Output,此时输出端Output输出高电平电压信号VDD。

[0061] 在复位阶段,输入信号由低电平转换为高电平,复位信号Rst由高电平转换为低电平。此时,第一控制模块111响应于复位信号Rst,将所述低电平电压信号VCC提供给所述第一节点P1,此时第一节点P1的电压为电平;第一子控制模块112a响应于所述第一节点P1的电压信号,将所述高电平电压信号VDD提供给第二节点P2,第二子控制模块112b响应于所述输入信号,将所述高电平电压信号VDD提供给所述第二节点P2,当前所述第二节点P2的电压信号为高电平;下拉模块114响应于所述第二节点P2的电压信号,在复位阶段将所述低电平电压信号VCC提供给所述输出端Output,此时输出端Output输出低电平电压信号VCC。

[0062] 所述数据寄存单元110主要由多个开关管构成,如图2所示。所述延迟链电路100中的数据寄存器单元8个PMOS管和6个NMOS管并且采用双堆叠型的结构构成。在其中一个实施例中,所述第一控制模块111包括第一、第二、第三和第四开关管;并且,所述第一开关管M1和所述第二开关管串联在所述输入端Input与所述第一节点P1之间,所述第三开关管和所述第四开关管依次串联在所述第二节点P2与所述低电平电压信号VCC之间,且所述第一开关管M1、所述第二开关管、所述第三开关管和所述第四开关管的栅极均与所述复位信号Rst

电连接。

[0063] 本实施例中,所述第一开关管M1和所述第二开关管M2为PMOS管,所述第三开关管M3和所述第四开关管M4为NMOS管。在采样阶段,所述第一开关管M1和所述第二开关管M2断开,所述第三开关管M3和所述第四开关管M4导通,通过所述第三开关管M3和所述第四开关管M4导将所述低电平电压信号VCC提供给第一节点P1,第一节点P1的电压信号为高电平;在复位阶段,所述第一开关管M1和所述第二开关管M2导通,所述第三开关管M3和所述第四开关管M4断开,通过所述第一开关管M1和所述第二开关管M2将所述高电平电压信号VDD提供给第一节点P1,第一节点P1的电压信号为低电平。

[0064] 在其中一个实施例中,所述第一子控制模块112a包括第五开关管M5和第六开关管M6;所述第五开关管M5和所述第六开关管M6依次串联在所述输入端Input与所述第一节点P1之间,且所述第五开关管M5和所述第六开关管M6的栅极均与所述第一节点P1电连接。

[0065] 本实施例中,所述第五开关管M5和所述第六开关管M6为PMOS管。在采样阶段,第一节点P1的电压信号为高电平,所述第五开关管M5和所述第六开关管M6断开;在复位阶段,第一节点P1的电压信号为低电平,所述第五开关管M5和所述第六开关管M6导通,通过所述第五开关管M5和所述第六开关管M6将所述高电平电压信号VDD提供给所述第二节点P2。

[0066] 在其中一个实施例中,第二子控制模块112b包括第七开关管M7和第八开关管M8;所述第七开关管M7和所述第八开关管M8依次串联在所述输入端Input与所述第二节点P2之间,且所述第七开关管M7和所述第八开关管M8的栅极均与所述输入端Input电连接。

[0067] 本实施例中,第七开关管M7和第八开关管M8为PMOS管。在采样阶段,第一节点P1的电压信号为高电平,第七开关管M7和第八开关管M8断开;在复位阶段,第一节点P1的电压信号为低电平,第七开关管M7和第八开关管M8导通,通过第七开关管M7和第八开关管M8将所述高电平电压信号VDD提供给所述第二节点P2。

[0068] 在其中一个实施例中,第三子控制模块112c包括第九开关管M9和第十开关管M10;所述第九开关管M9和所述第十开关管M10依次串联在所述第二节点P2与所述低电平电压信号VCC之间,且所述第九开关管M9栅极与所述输入端Input电连接,所述第十开关管M10的栅极与所述第一节点P1电连接。

[0069] 本实施例中,第九开关管M9和第十开关管M10为NMOS管。在采样阶段,所述第九开关管M9导通,第十开关管M10导通,通过第九开关管和第十开关管将所述低电平电压信号VCC提供给第二节点P2;复位阶段,所述第九开关管M9断开,第十开关管M10断开。

[0070] 在其中一个实施例中,所述输出模块第十一开关管M11和第十二开关管M12;所述第十一开关管M11和所述第十二开关管M12依次串联在所述输入端Input与所述输出端Output之间,且所述第十一开关管M11的栅极与所述复位信号Rst电连接,所述第十二开关管M12的栅极与所述第二节点P2电连接。

[0071] 本实施例中,第十一开关管M11和第十二开关管M12为PMOS管。在采样阶段,所述第二节点P2的电压信号为高电平,输入信号为高电平,第十一开关管M11和第十二开关管M12均断开,此时输出端Output无输出;在复位阶段,所述第二节点P2的电压信号为低电平,输入信号为低电平,第十一开关管M11和第十二开关管M12均导通,此时通过第十一开关管M11和第十二开关管M12将所述高电平电压信号VDD提供给所述输出端Output。

[0072] 在其中一个实施例中,所述下拉模块114包括第十三开关管M3和第十四开关管

M14;所述第十三开关管M3和所述第十四开关管M14依次串联在所述输出端Output与所述低电平电压信号VCC之间,且所述第十三开关管M3和所述第十四开关管M14的栅极均与所述第二节点P2电连接。

[0073] 本实施例中,第十三开关管M3和第十四开关管M14为NMOS管。在采样阶段,第十三开关管M3和第十四开关管M14断开;在复位阶段,第十三开关管M3和第十四开关管M14导通,通过第十三开关管M3和第十四开关管M14将低电平电压信号VCC提供给所述输出端Output。可以理解,在复位阶段将低电平电压信号VCC提供给所述输出端Output,可迅速拉低所述输出端Output的电位,且能够防止毛刺产生,提高输出信号的质量。

[0074] 在其中一个实施例中,所述采样电路200包括信号获取单元210、关键路径选择单元220和同步单元230。

[0075] 所述信号获取单元210包括多个寄存器211,所述寄存器211与所述数据寄存单元110电连接,且每一个所述寄存器211用于获取一路所述延迟链电路100的输出信号。本实施例中,所述寄存器211为数据寄存器211。

[0076] 所述关键路径选择单元220包括多个多路选择器221,所述多路选择器221与所述寄存器211一一对应,用于接收所述输出信号。

[0077] 所述同步单元230包括多个级联模块,所述级联模块与所述多路选择器221一一对应电连接,每一所述级联模块包括至少两个级联的触发器231,且所有所述触发器231的触控端电连接同一时钟信号,用于接收所述输出信号,并对多个所述输出信号进行同步处理,得到所述采集信息。

[0078] 如图3所示,所述信号获取单元210由多个寄存器211构成,每一所述延迟链电路100对应一个寄存器211,延迟链电路100的输出的每比特信号都分别电连接至信号获取单元210中各个寄存器211的CLK端,寄存器211的D端固定为高电平。每一延迟链电路100都设置有相应的信号获取单元210。采样后,信号获取单元210将所述输出信号提供给多路选择器221,由多路选择器221进行接收,然后通过多路选择器221输出的信号输入至同步电路中,同步电路中每比特信号都经过2级或2级以上的寄存器211进行同步处理后输出。可以理解,对于单比特信号可以通过多级同步的方式来减小亚稳态产生的概率,进而提高确定的实际边界信息的准确性。

[0079] 在其中一个实施例中,所述实际关键路径的实际边界信息,为所述实际关键路径对应的多个所述边界电压信息的平均值。

[0080] 本实施例中,低功耗芯片中包括多个实际关键路径,因此利用采样电路采集延迟链电路100的输出信号时会得到多组采集信息(即输出信号),一组采集信息包括每一延迟链电路100的输出信号。所述裕量信息电路300接收到同步采样输出信号后,对输出信号进行以下过程的处理:

[0081] 步骤1,将第一组采样信息和第二组采样信息进行累加,得到累加值;步骤2,将累加值右移一位;步骤3,并将右移一位后的累加值继续与下一组采样信息进行累加,以得到新的累加值,并将新的累加值右移一位;并重复所述步骤3至指定次数,或者完成所有采集信息的累加并将最后一次得到的累加值右移一位。根据最后一次右移一位后的累加值,可确定出所述实际关键路径在所述延迟链电路100中的实际边界信息。

[0082] 可以理解,对累加值右移一位的过程即对累加值求平均的过程。本实施例中,通过

对同一所述延迟链电路100的多个输出信号求平均,缺东所述实际关键路径的边界电压信息的典型值,并作为所述实际关键路径在所述延迟链电路100中的实际边界信息,以防止延迟链电路100在遍历某些电压或频率时发生亚稳态等非可控的状态。

[0083] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0084] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

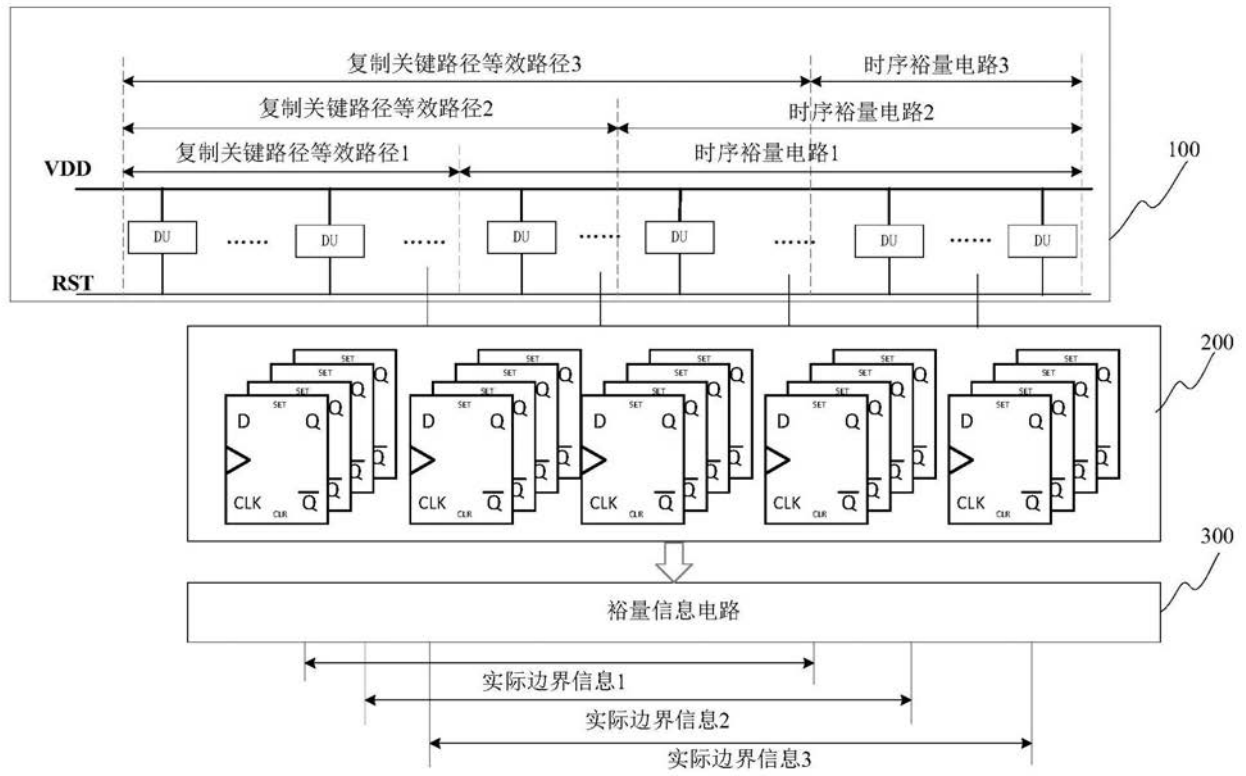


图1

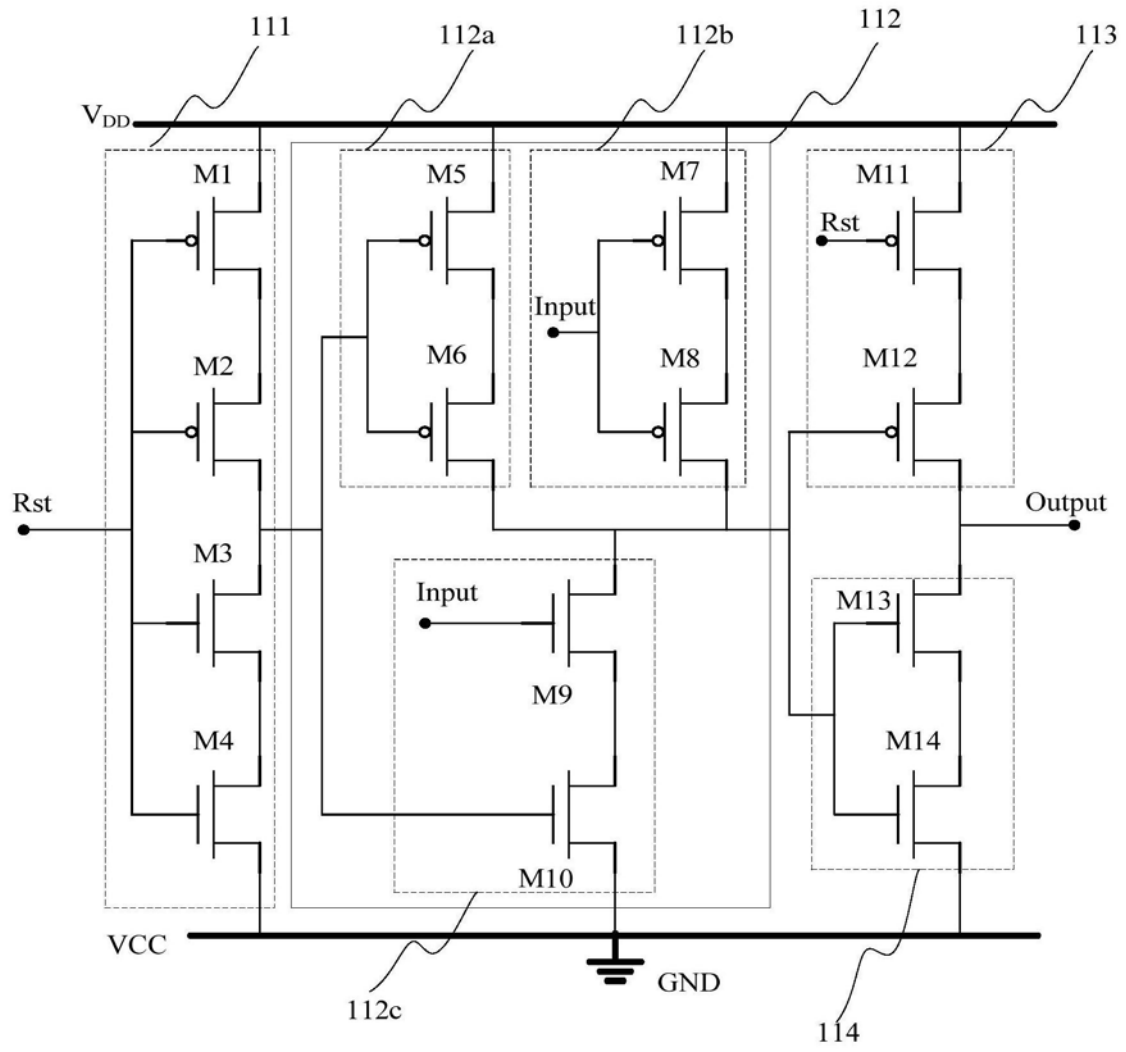


图2

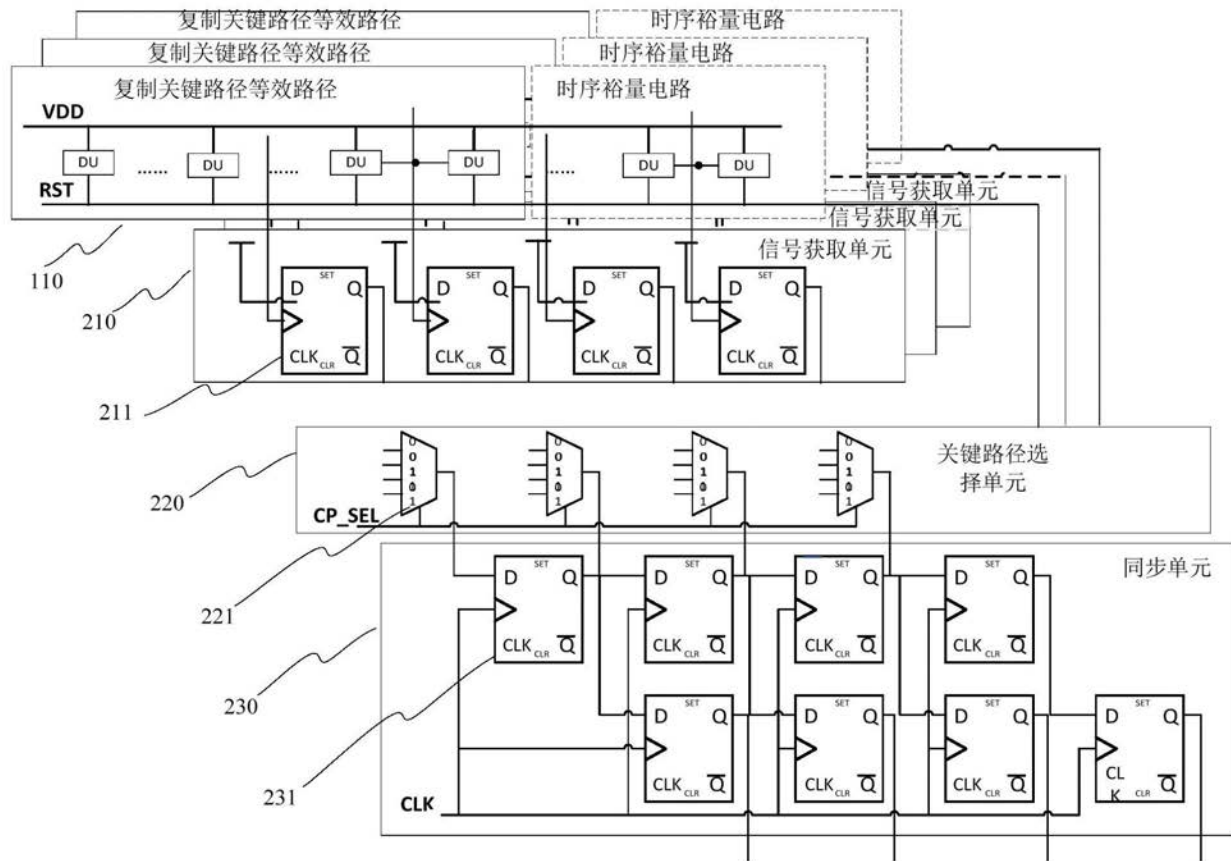


图3